



Máster Universitario
en Ingeniería de
Computadores y Redes

Seminarios Avanzados – Detalles sobre seminario #1

Número de seminario: 1

Título de seminario: Evaluación de la confiabilidad mediante inyección de fallos y ataques

Profesorado: Juan Carlos Baraza

Resumen:

Inyección de fallos.

Definición y tipos de inyección de fallos: mediante hardware (HWIFI), software (SWIFI) y simulación (SBFI).

Herramientas de inyección de fallos. Ejemplo práctico de inyección de fallos mediante simulación de modelos en VHDL con VFIT.

Inyección de ataques.

Tipos de ataques.

Ejemplo práctico de inyección de ataques.

Análisis de los resultados obtenidos de la inyección de ataques/fallos.

Análisis plano/benchmarking.

Fechas y horario:

- 6, 13, 20 y 27 de Febrero de 2015, de 10:00 a 12:30.

Seminarios Avanzados – Detalles sobre seminario #2

Número de seminario: 2

Título de seminario: Dependable Embedded Systems: from basic concepts to critical applications

Profesorado: Jean Charles Fabre

Resumen:

Dependable computing is becoming more and more crucial as software-based embedded systems are now controlling many critical applications. Initially developed in the aerospace domain, dependability is now a key feature for modern automotive systems. The architectural issues and the development processes used in both the avionics and the automotive domains are now following international standards, such as IMA / DO178 and AUTOSAR / ISO26262 respectively. In both domains, structural paradigms (e.g. Time and Space Partitioning) and validation issues (from FTA/FMEA to fault injection) are recommended. The lecture provides a clear understanding of the basic concepts and the terminology used in the dependable computing domain, and then dives into key mechanisms for fault tolerant computing. Several mechanisms are detailed together with an analysis of the assumptions, the benefits, the overheads and the fault tolerance coverage. The link between coverage and dependability measures will be quickly addressed as well. Then, we will focus on a new trend in dependable embedded systems, the notion of “resilient computing”. The fast evolution of systems is today a fact. It is also a need, from a usage viewpoint but more importantly from an economic viewpoint. Resilient computing can be defined as “the property of a system to maintain dependability properties when facing changes”. Resilient computing is becoming very important in autonomous systems that can be faced to many changes during their missions and operational life. Software technologies for adaptive fault tolerant computing will be described together with implementation examples. We'll show that component-based technologies are available today to tackle this problem in order to develop dependable systems with better maintenance and evolutivity properties. The case study used in the lecture addresses the evolutivity of automotive systems. We will show how dynamic adaptation of AUTOSAR based dependable systems can be done and the limits observed according the architecture and software technologies used. We will also address the validation of automotive systems through the ISO26262 standard and in particular the use of fault injection techniques that have been recently integrated into the standard. A wrap-up session will enable the students to comment the problems and available solutions, and by the way, identify some prospective tracks of research.

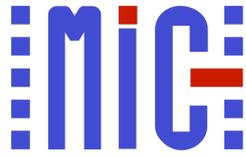
The overall lecture is composed of 5 chapters:

- Chapter 1: Basic concepts, terminology, process and techniques
- Chapter 2: Fault tolerant computing techniques and examples
- Chapter 3: Resilient computing and adaptive fault tolerance
- Chapter 4: Adaptive Computing in AUTOSAR embedded systems
- Chapter 5: Validation techniques and the ISO26262 standard

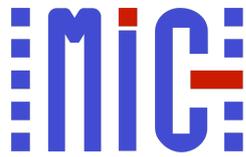
Some examples from the avionics domain will be used in Chapter 2. A case study developed with RENAULT will be used in Chapter 4. A case study developed with VALEO will be used in Chapter 5. Some exercises / quiz will be given to the students in the lecture sessions.

Fechas y horario:

- 14, 15 y 16 de abril de 2015, de 9:30 a 12:00.
- 17 de abril de 2015, de 10:00 a 12:30.



Máster Universitario
en Ingeniería de
Computadores y Redes



Máster Universitario
en Ingeniería de
Computadores y Redes

Seminarios Avanzados – Detalles sobre seminario #3

Número de seminario: 3

Título de seminario: Sistemas avanzados (SoC) para la comunicación en red

Profesorado: Sara Blanc

Resumen:

En este seminario veremos de forma práctica una introducción a los llamados “System on-Chip”. Entre las opciones de mercado, se ha seleccionado una solución de integración real que incorpora en un único chip una FPGA de tipo “Flash” con un núcleo de microcontrolador ARM® Cortex®-M3.

Este sistema se trabajará en el seminario donde se analizará el potencial de los SoC en general, y en particular los recursos disponibles de conectividad en red.

El seminario se centrará en el diseño de un bus de interconexión para SoC, en el uso del sistema operativo de tiempo real (FreeRTOS™) y en el diseño de una aplicación WebServer.

“The Microsemi SmartFusion® customizable system-on-chip (cSoC) family builds on the technology first introduced with Fusion mixed signal FPGAs. SmartFusion devices are the result of integrating FPGA technology with programmable high-performance analog and hardened ARM® Cortex™-M3 processor microcontroller blocks on a flash semiconductor process. The SmartFusion family takes its name from the fact that these three discrete technologies are integrated on a single chip, enabling the lowest cost of ownership and smallest footprint solution for you.”

Fechas y horario:

- 11, 18 y 25 de Febrero de 2015, de 9:30 a 11:00.
- 26 de Febrero, de 10:00 a 12:00.
- 4 de Marzo de 2015, de 9:30 a 11:00.
- 5 de Marzo de 2015, de 10:00 a 12:00.

Seminarios Avanzados – Detalles sobre seminario #4

Número de seminario: 4

Título de seminario: Arquitecturas de memoria para sistemas de tiempo real

Profesorado: Jose Vicente Busquets, Antonio Martí

Resumen:

Se estudian diferentes técnicas que habilitan el uso de jerarquías de memoria (caches) en Sistemas de Tiempo Real (STR). Este tipo de memorias tienen un funcionamiento poco determinista, y se producen muchos conflictos en entornos multitarea. Las técnicas (planificadores, algoritmos genéticos, cache con bloqueo, scratchpad memory, etc) tienen como objeto reducir los conflictos por la multitarea y facilitar el cálculo del tiempo de ejecución en el peor de los casos (WCET), que es una medida crítica en los STR.

El método de trabajo será la lectura de artículos de investigación de los autores y puesta en común en clase.

Fechas y horario:

- 17 y 24 de Febrero de 2015, 5 y 12 de Marzo de 2015, de 15:30 a 18:00.

Seminarios Avanzados – Detalles sobre seminario #5

Número de seminario: 5

Título de seminario: Tecnologías comerciales de red

Profesorado: Federico Silla

Resumen:

En este seminario se van a revisar los aspectos mas importantes de las tecnologías de red de altas prestaciones que existen en el mercado en la actualidad, utilizando principalmente la red InfiniBand como ejemplo, dada su gran implantación en el mercado.

Fechas y horario:

- 6, 13, 26 y 27 de marzo, de 16:00 a 18:30.

Seminarios Avanzados – Detalles sobre seminario #6

Número de seminario: 6

Título de seminario: Aspectos avanzados de redes de interconexión

Profesorado: Sandro Bartolini

Resumen:

The course will address how nowadays and foreseen on-chip networking issues for chip-multiprocessors (CMPs) are posing serious challenges to their scalability and power sustainability as core count will further increase. Silicon photonics is emerging as a technological breakthrough that can deliver promising raw features like low-latency, power almost independent of distance and bandwidth scalability. However, to translate this potential into actual performance and consumption improvements, careful design need to be performed, considering an unprecedented multi-layer approach, encompassing integrated decisions from some very low-level technological choices, through up to network-level choices and up to higher-level computer-architecture effects reaching the memory hierarchy management and even possible software optimizations.

The course will highlight some specific cases and design points into the domain of tiled chip multiprocessors taking advantage of silicon photonics interconnection.

Fechas y horario:

- 31 de marzo y 1 de abril, de 9:00 a 14:00.

Seminarios Avanzados – Detalles sobre seminario #7

Número de seminario: 7

Título de seminario: Aspectos de Diseño de Protocolos de Coherencia de Caches en Manycoros

Profesorado: Manuel E. Acacio (<http://ditec.um.es/~meacacio/>) y Alberto Ros (<http://ditec.um.es/~aros/indice.html>)

Resumen:

Conforme aumenta el número de núcleos de procesamiento integrados en el mismo chip en las arquitecturas multinúcleo, al ritmo que marca la famosa Ley de Moore, los mecanismos a través de los cuales dichos núcleos se comunican y sincronizan constituyen elementos claves del diseño de la arquitectura. Si la tendencia actual se mantiene, las arquitecturas multinúcleo que están por venir, con varias decenas de núcleos de procesamiento (manycoros), seguirán empleando un modelo de memoria compartida, donde la comunicación entre núcleos se realiza por medio de lecturas y escrituras a memoria. Por otro lado, el uso de cachés es fundamental para que los manycores obtengan el rendimiento deseado. Para que estas cachés sean transparentes al programador, se requiere la implementación a nivel hardware de un protocolo de coherencia de cachés.

El protocolo de coherencia de cachés de un multiprocesador garantiza que todos los núcleos de procesamiento vean el mismo valor para cada posición de memoria en un determinado momento. Esto se garantiza mediante el invariante single-writer–multiple-reader (SWMR), es decir, en un cierto momento, o solo un núcleo tiene acceso de escritura sobre un determinado dato, o varios núcleos tienen acceso de lectura sobre el dato. En una arquitectura manycore, en la que el número de núcleos de procesamiento es grande, las características de diseño del protocolo de coherencia de cache influyen directamente en el rendimiento y consumo de energía finales.

En este seminario se estudiarán diversos aspectos de diseño del protocolo de coherencia de cache con el objetivo de alcanzar altas prestaciones, bajo consumo de energía, baja sobrecarga del área empleada por la información de coherencia, tolerancia de fallos y simplicidad en el diseño. Se analizará también por medio de simulación cómo diferentes aspectos en el diseño influyen en estos factores.

Fechas y horario:

- 13, 20 y 27 de Febrero de 2015, de 15:00 a 18:20.

Seminarios Avanzados – Detalles sobre seminario #8

Número de seminario: 8

Título de seminario: Transferencia de tecnología: Casos de éxito

Profesorado: José Duato Marín

Resumen:

En este seminario se presentan varios casos de éxito de transferencia de tecnología desarrollada en la UPV, que se ha incorporado en varios de los supercomputadores y dispositivos de comunicaciones más potentes que han existido.

La presentación no se limita a los aspectos técnicos, presentados de modo que sean fáciles de entender por la audiencia, sino que también profundiza en las relaciones personales y aprovechamiento de oportunidades, así como en las dificultades encontradas en el proceso.

Finalmente, como resumen global, se proponen una serie de medidas para fomentar la transferencia de tecnología, y que ésta se lleve a cabo de forma correcta y eficiente.

Fechas y horario:

- 23, 25, 27 y 30 de Marzo de 2015, de 10:30 a 13:00.

Seminarios Avanzados – Detalles sobre seminario #9

Número de seminario: 9

Título de seminario: Sistemas embarcados de aviónica

Profesorado: Joan Vila Carbó

Resumen:

- 1.- Conceptos básicos, técnicas de navegación e instrumentos básicos de vuelo.
- 2.- Sistemas de determinación de posición
- 3.- Sistemas de guiado y gestión del vuelo
- 4.- Sistemas de vigilancia y evitación de colisiones

Fechas y horario:

- 12 y 16 de Febrero de 2015, de 10:00 a 13:00.
- 19 de Febrero de 2015, de 10:00 a 14:00.

Seminarios Avanzados – Detalles sobre seminario #10

Número de seminario: 10

Título de seminario: Planificación en sistemas multiprocesadores de tiempo real

Profesorado: Sergio Sáez y Houcine Hassan

Resumen:

Existe una gran variedad de aplicaciones desde la automoción, la aviónica, hasta dispositivos electrónicos de consumo como teléfonos móviles, smart TV que se implementan mediante procesadores multicore. Estas aplicaciones requieren en algunos casos cumplir unos requerimientos temporales estrictos para garantizar su ejecución (aviónica). En otros casos, es suficiente proporcionar una calidad de servicio mínima para su correcto funcionamiento (Smart TV). Por otra parte, el consumo energético es un aspecto clave a considerar para mejorar la autonomía de dichas aplicaciones. En este seminario, se van a tratar los algoritmos de planificación en procesadores multicore así como las técnicas de regulación de la frecuencia en dichos procesadores para conseguir un balance adecuado entre las prestaciones, la planificabilidad y la energía consumida por las aplicaciones.

Fechas y horario:

- 3, 10, 24 y 31 de Marzo de 2015, de 16:00 a 18:30.

Seminarios Avanzados – Detalles sobre seminario #11

Número de seminario: 11

Título de seminario: Técnicas de Análisis de Imágenes y Visión por Computador

Profesorado: Fernando López, José Miguel Valiente

Resumen:

Vamos a dar una introducción al Análisis de Imágenes Digitales y a la Visión por Computador. Para ello vamos a dividir el seminario en dos bloques, uno de teoría más prácticas que dará Fernando López y otro de presentación de casos de estudio que dará José Miguel Valiente. El seminario se compondrá de 5 sesiones de 2 horas, 3 dedicadas al primer bloque y 2 sesiones dedicadas al segundo. En el primer bloque se dedicará la primera hora de cada sesión a dar teoría y la segunda hora a poner en práctica dicha teoría realizando ejercicios prácticos en Matlab. El contenido va a consistir en explicar las distintas partes que componen un sistema de Visión por Computador, estudiando de forma más explícita las técnicas básicas de Análisis de Imágenes. En el apartado de casos de estudio se expondrán las aplicaciones y desarrollos llevados a cabo por el grupo de Visión por Computador en los últimos años.

Fechas y horario:

- 9, 11, 18 y 25 de Febrero de 2015, 4 de Marzo de 2015, de 11:00 a 13:00.

Seminarios Avanzados – Detalles sobre seminario #12

Número de seminario: 12

Título de seminario: Modelado y Evaluación de Redes

Profesorado: Joel Rodrigues (externo) y Francisco Martínez (externo).

Resumen:

Parte 1 (Francisco Martínez): Recent Advances in Vehicular Networks

Descipción:

In this presentation, I will talk about the different approaches we have been working recently, including warning message dissemination, traffic redistribution, and Vehicular Networks applied to Intelligent Transportation Systems. Additionally, I will share our simulation methodologies."

Parte 2 (Joel Rodrigues): Research methodologies applied to future mobile systems: the VDTN case

Descipción:

In this presentation, I will talk about research methodologies regarding future mobile systems: especially related with VDTN and I'll share the example of this project as good practice where we used simulation, a laboratory prototype and a real prototype.

Fechas y horario:

- 4 de Febrero de 2015, de 10:00 a 14:00
- 2 y 3 de Marzo de 2015, de 10:00 a 13:00



Máster Universitario
en Ingeniería de
Computadores y Redes

Seminarios Avanzados – Detalles sobre seminario #13

Número de seminario: 13

Título de seminario: Redes cooperativas: aspectos avanzados

Profesorado: Profesor invitado/Lourdes Peñalver

Resumen:

Redes colaborativas:

Concepto de red adhoc colaborativa . Modelos

Cooperación

Competición

Autoorganización

Teorías y métodos:

Sistema distribuido multi-agente

Teoría del consenso

Teoría de la inteligencia del enjambre

Investigaciones y aplicaciones:

Redes de sensores inalámbricas basadas en la colaboración

Colaboración basada en Redes de sensores inalámbricas: (Redes de sensores utilizadas de forma colaborativa en sistemas complejos)

Líneas futuras

Una aplicación: Redes de sensores cognitivas. Seguridad.

Fechas y horario:

- 9, 10, 11, 12 y 13 de Marzo de 2015, de 11:00 a 13:00.